



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/21 (08-00)
Approved for use through 10/31/2002. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/604,896	
	Filing Date	08/25/2003	
	First Named Inventor	Jen-Yi Hu	
	Group Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	ADTP0089USA

ENCLOSURES (check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Assignment Papers (for an Application)	<input type="checkbox"/> After Allowance Communication to Group
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment / Reply	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	8/29/2003

CERTIFICATE OF MAILING			
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date: 			
Typed or printed name			
Signature		Date	

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



PTO/SB/17 (01-03)

Approved for use through 04/30/2003. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/604,896
Filing Date	8/25/2003
First Named Inventor	Jen-Yi Hu
Examiner Name	
Art Unit	
Attorney Docket No.	ADTP0089USA

METHOD OF PAYMENT (check all that apply)☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit Account Number
Deposit Account Name

50-0801

North America International Patent Office

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments☒ Charge any additional fee(s) during the pendency of this application☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 750	2001 375	Utility filing fee	
1002 330	2002 165	Design filing fee	
1003 520	2003 260	Plant filing fee	
1004 750	2004 375	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	

SUBTOTAL (1) (\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

	Extra Claims	Fee from below	Fee Paid
Total Claims	-20** =	X	
Independent Claims	-3** =	X	
Multiple Dependent			

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 84	2201 42	Independent claims in excess of 3
1203 280	2203 140	Multiple dependent claim, if not paid
1204 84	2204 42	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)**3. ADDITIONAL FEES**

Large Entity Small Entity

Fee Code (\$)	Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for <i>ex parte</i> reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 410	2252 205	Extension for reply within second month	
1253 930	2253 465	Extension for reply within third month	
1254 1,450	2254 725	Extension for reply within fourth month	
1255 1,970	2255 985	Extension for reply within fifth month	
1401 320	2401 160	Notice of Appeal	
1402 320	2402 160	Filing a brief in support of an appeal	
1403 280	2403 140	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,300	2453 650	Petition to revive - unintentional	
1501 1,300	2501 650	Utility issue fee (or reissue)	
1502 470	2502 235	Design issue fee	
1503 630	2503 315	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 750	2809 375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 750	2810 375	For each additional invention to be examined (37 CFR 1.129(b))	
1801 750	2801 375	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature				Date	8/29/2003

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092112076	Taiwan, R.O.C.	05/02/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 05 月 02 日
Application Date

申 請 案 號：092112076
Application No.

申 請 人：友達光電股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 7 月 9 日
Issue Date

發文字號：09220691410
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	用於數位類比轉換器以降低突波之方法
	英文	METHOD FOR REDUCING SPIKES IN A DAC
二、 發明人 (共2人)	姓名 (中文)	1. 胡珍儀 2. 孫文堂
	姓名 (英文)	1. Hu, Jen-Yi 2. Sun, Wein-Town
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北市西安路二段三六七號二樓 2. 高雄市楠梓區和昌里十九鄰和光街九十五巷一號
	住居所 (英文)	1. 2F, No. 367, Sec. 2, Hsi-An Rd. Taipei City, Taiwan, R.O.C. 2. No. 1, Lane 95, Ho-Kuang St., Nan-Tzu, Kao-Hsiung City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 友達光電股份有限公司
	名稱或 姓名 (英文)	1. AU Optronics Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市新竹科學工業園區力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 1, Li-Hsin Road 2, Science-Based Industrial Park, Hsin- Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. Lee, Kuen-Yao



四、中文發明摘要 (發明名稱：用於數位類比轉換器以降低突波之方法)

本發明提供一種使用一數位類比轉換器 (digital to analog converter, DAC) 將一數位電壓信號轉換為一類比電壓信號並降低突波 (spike) 之方法，該數位類比轉換器包含複數組位元電路，其中每一組位元電路係分別對應於該數位電壓信號之各個位元，該方法包含有接收該數位電壓信號；將對應於該數位電壓信號之各個位元中變化量最少之位元的該位元電路靠近一輸出模組；以及輸出一對應於該數位電壓信號之類比電壓信號。

五、(一)、代表圖 本案代表圖為：第 三 圖
(二)、本案代表圖之元件代表符號簡單說明

30 電阻串流式數位類比轉換器

32 接收電路 34 第一組位元電路

35 第二組位元電路 36 第三組位元電路

六、英文發明摘要 (發明名稱：METHOD FOR REDUCING SPIKES IN A DAC)

A method for reducing spikes with a digital-to-analog converter (DAC), which includes a plurality of digit circuits for transforming a digital voltage signal into an analog voltage signal, includes receiving the digital voltage signal, setting a certain digit circuit approaching an output module wherein the certain digit circuit corresponds to a certain digit of



四、中文發明摘要 (發明名稱：用於數位類比轉換器以降低突波之方法)

37 第四組位元電路 38 第五組位元電路
39 第六組位元電路 40 參考電位電路
42 輸出模組 44 負載電阻

六、英文發明摘要 (發明名稱：METHOD FOR REDUCING SPIKES IN A DAC)

the digital voltage signal with least variation in amplitude along with time, and outputting the analog voltage signal corresponding to the inputted digital voltage signal.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明提供一種用來降低數位類比轉換器 (digital to analog converter, DAC) 之突波 (spike) 的方法，尤指一種利用在數位類比轉換器中，將對應於一數位電壓信號中之一變化量最少之位元的位元電路靠近一輸出端，以降低數位類比轉換器之突波的方法。

先前技術

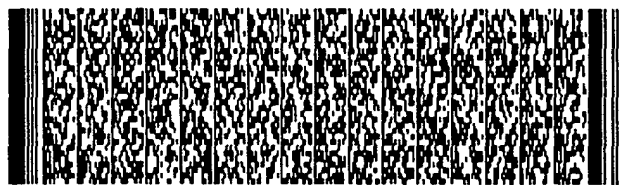
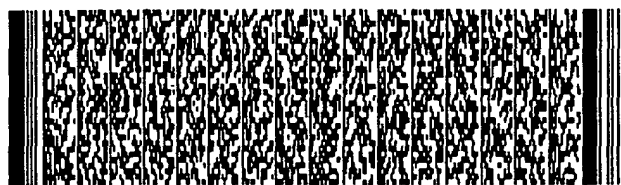
近年來，液晶顯示器 (LCD) 是為 PC 開發的最重要之附件之一。與同類的陰極射線管 (CRT) 顯示器相比，LCD 顯示器體積小、輻射少、功耗低，同時視頻性能優越、外觀新穎圓滑。技術的進步、需求的增加以及生產成本的降低，使 LCD 的價格降到可為普通消費者接受，新的計算機系統都會配置 LCD 顯示器，以取代舊的 CRT 顯示器，同時，許多相關或類似的顯示器系統亦正在蓬勃發展，薄膜電晶體液晶顯示器 (thin film transistor liquid crystal display, TFT LCD) 係強調其微輕薄短小且具平面顯示的特徵，可見於眾多的電器產品之中，舉從筆記型電腦及數位照相機之領域，乃至到航太及醫療診斷儀器之領域皆被拿來使用。就產業發展之觀點來看，隨著大尺寸 TFT LCD 的競爭日趨白熱化，以中小尺寸顯示器為訴求的低溫多晶矽液晶顯示器 (LTPS LCD) 之發展亦成為



五、發明說明 (2)

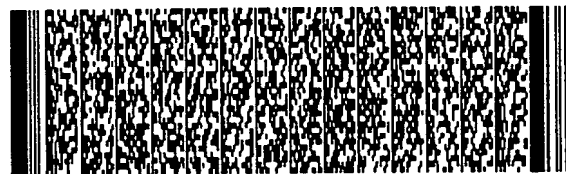
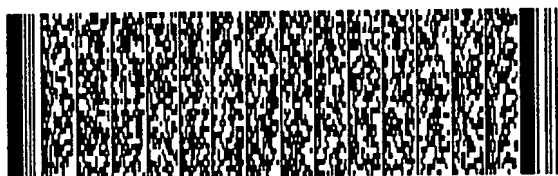
現今國內光電產業發展的重點。

在一般的電路中，突波 (Spike) 等暫態干擾現象，大部份都經由電源輸入端而侵入系統中而產生，因此利用將電源做一淨化處理，在習知技術中，由 Tateishi 等人所提出的 U.S. Pat. No. 6,348,783, "DC/DC converter for suppressing effects of spike noise" 中就提出一直流/直流轉換器對突波予以有效的淨化處理。回到顯示器系統的電路中，一般液晶顯示器或低溫多晶矽液晶顯示器為了達到省電，系統整合之便利性以及節省成本目的，通常會採取資料以數位型態輸入的方式，並將數位類比轉換器 (Digital to Analog Converter, DAC) 整合入其顯示器系統中。此時，訊號品質好壞的其中一個關鍵就在於數位訊號與類比訊號的轉換，在轉換過程中，數位類比轉換器在直流 (DC) 部分的線性度是否良好以及是否有突波 (spike) 的發生等的特性變得很重要，在使用者越來越要求畫面品質的今天，突波這種暫態干擾現象的產生，會造成畫面的不穩定，並增加不必要功率的消耗，對於突波的有效降低變成日益重要的課題。在現今的顯示器系統中的數位類比轉換器主要採用電阻串流式數位類比轉換器 (R-string DAC)，電容串流式數位類比轉換器 (C-string DAC)，以及混和電阻和電容串流式數位類比轉換器，在電阻串流式數位類比轉換器中最容易遭遇到的嚴重問題就是突波的發生，請參閱圖



五、發明說明 (3)

一，圖一為習知技術之電阻串流式數位類比轉換器 10 的電路之示意圖，此習知技術之數位類比轉換器 10 為一三對三 (3 to 3) 電阻串流式數位類比轉換器 10，用來將一六位元之數位電壓信號轉換為一類比電壓信號，如圖一所示，數位類比轉換器 10 包含有一接收電路 12、六組位元電路 14~19、一參考電位電路 20、以及一輸出模組 22，接收電路 12 是用來接收此六位元數位電壓信號，並分別連接至六組位元電路 14~19，而參考電位電路 20 則提供九個不同的參考電壓給六組位元電路 14~19，分別為 0 伏特至 4 伏特間等分成八等份 (意即九個不同的參考電壓分別為 0V, 0.5V, 1V, ..., 3.5V, 4V)，如圖一中虛線方框所示，六組位元電路 14~19 中的第一組位元電路 14 到第六組位元電路 19 係分別對應於數位電壓信號之第一位元到第六位元，且每一組位元電路包含複數個電晶體，例如對應於數位電壓信號之第四位元到第六位元的第四組位元電路 17 到第六組位元電路 19 就分別包含有十六個 P 型金屬氧化半導體電晶體 (PMOS) 或 N 型金屬氧化半導體電晶體 (NMOS)，而對應於數位電壓信號之第一位元到第三位元的第一組位元電路 14 到第三組位元電路 16 就分別包含有八個 P 型金屬氧化半導體電晶體 (PMOS) 或 N 型金屬氧化半導體電晶體 (NMOS)，每一組位元電路再配合上圖一中顯示的電阻，可執行分壓的功能並將此數位電壓信號轉換成為對應於該數位電壓信號之類比電壓信號。最後電流匯流至輸出模組 22 後，輸出模組 22 可輸出轉換完成之該

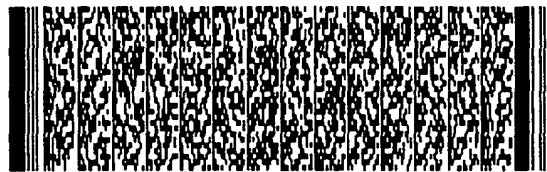


五、發明說明 (4)

類比電壓信號至一資料線，最後利用此類比電壓信號來控制一面板上之一像素中一組成原色的亮度強弱，而圖一可知，輸出模組 22 係包含有一負載電阻 24，用來作為阻抗匹配，為不可或缺的要件。

請繼續參閱圖一，在習知技術之數位類比轉換器 10 中，最靠近於輸出模組 22 為對應於數位電壓信號之第三位元的第三組位元電路 16，實際上，在習知技術中，並沒有限定是哪一組位元電路要最靠近於輸出模組 22 或最遠離輸出模組 22，值得注意的事，在此電阻串流式數位類比轉換器 10 中的每一組位元電路所包含的兩種電晶體間之組成及排列為特定且不可變更的設計，例如對應於數位電壓信號之第四位元的第四組位元電路 17 就包含有八個 P 型金屬氧化半導體電晶體及八個 N 型金屬氧化半導體電晶體，且兩種電晶體間的排列順序必須依照圖一所示，再譬如說，對應於數位電壓信號之第一位元至第三位元的第一組位元電路 14 至第三組位元電路 16 都包含有四個 P 型金屬氧化半導體電晶體及四個 N 型金屬氧化半導體電晶體，但第一組位元電路 14 至第三組位元電路 16 在兩種電晶體間的排列順序則截然不同。

請參閱圖二，圖二為圖一習知電阻串流數位類比轉換器 10 之輸出類比電壓信號的模擬圖，如圖二所示，橫軸為時間軸，而縱軸為輸出電壓值，在隨時間而改變的



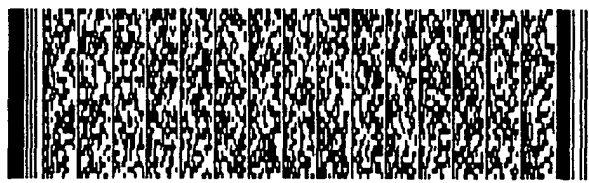
五、發明說明 (5)

類比電壓信號之電壓值出現很嚴重的突波干擾，最大的突波電壓可到3伏特，甚至比輸出訊號還大，而最小的突波電壓也有0.6伏特，如此嚴重的突波干擾會造成直接以肉眼即可辨識的畫面品質的不穩定，並增加系統不必要功率的消耗，於是本發明即是將整個電路作精細的拆解、分析，對各種可能的組合皆使用電路模擬加以測試後，發現此嚴重的突波的最主要來源就是輸出模組22所包含的負載電阻24，這個用來作為阻抗匹配的負載電阻24，是整個電阻串流數位類比轉換器10乃至於整個顯示器系統不可或缺，也無法變動的要件，也就是說，要改善此嚴重的突波干擾必須從其他部分著手。

發明內容

因此本發明的主要目的在於提供一種用於數位類比轉換器(digital to analog converter, DAC)中以降低突波(spike)之方法，以解決上述習知技術的問題。

在本發明中，我們以一電阻串流數位類比轉換器為基礎，提出一種設計，其將對應於一數位電壓信號之各1位元中變化量最少之位元的該組位元電路，置於最靠近一輸出端之處，以降低輸出端的負載電阻(突波的最主要來源)所造成的影響，在無須增加其他的元件及電路的情況下，即可改善突波造成的顯示器之畫面品質的不穩

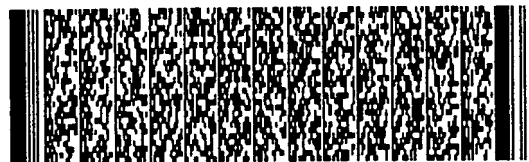


五、發明說明 (6)

定，並減少凸波所為系統帶來不必要功率的消耗。

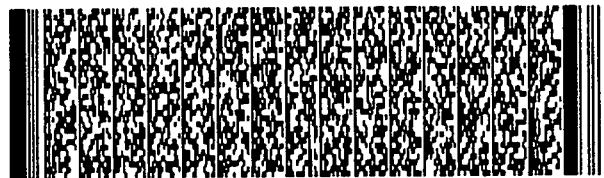
本發明之目的係在提供一種使用一數位類比轉換器 (digital to analog converter, DAC) 將一數位電壓信號轉換為一類比電壓信號並降低突波 (spike) 之方法，該數位類比轉換器包含複數組位元電路，其中每一組位元電路係分別對應於該數位電壓信號之各個位元，該方法包含有接收該數位電壓信號，將對應於該數位電壓信號中的一特定位元之該位元電路靠近一輸出模組，以及輸出一對應於該數位電壓信號之類比電壓信號，其中該數位電壓信號中之該特定位元係為該數位電壓信號之各個位元中變化量最少之位元。

本發明之另一目的係在提供一種數位類比轉換器，用來將一數位電壓信號轉換為一類比電壓信號，該數位類比轉換器包含有一接收電路，用來接收該數位電壓信號；複數組位元電路，連接於該接收電路，用來轉換該數位電壓信號成為對應於該數位電壓信號之類比電壓信號，每一組位元電路係對應於該數位電壓信號中之一位元；以及一輸出模組，連接於該複數組位元電路中之變化量最少之一組位元電路，用來輸出轉換完成之該類比電壓信號，該輸出模組包含有一負載電阻，用來作為阻抗匹配。



實施方式

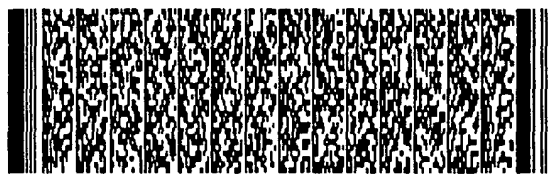
首先，因為數位影像（例如灰階影像）的組成是由許多不同頻率的訊號所組成，通常這些訊號的頻率各自以兩倍的差異遞增或遞減，由這些各種頻率之訊號組成影像（例如灰階影像），並對應到數位電壓信號的各個位元的過程中，我們發現，必有一位元在時間軸上的變化量（由 0 變動到 1，或由 1 變動到 0）最少，這個發現即變成為我們改進習知技術時重要的基礎和依據。請參閱圖三，圖三為本發明之電阻串流式數位類比轉換器 30 的電路之意圖，如圖三所示之本發明之數位類比轉換器 30 為一三對三（3 to 3）電阻串流式數位類比轉換器 30，用來將一六位元之數位電壓信號轉換為一類比電壓信號，如圖三所示，數位類比轉換器 30 包含有一接收電路 32、六組位元電路 34~39、一參考電位電路 40、以及一輸出模組 42，接收電路 32 是用來接收此六位元數位電壓信號，並分別連接至六組位元電路 34~39，而參考電位電路 40 則提供九個不同的參考電壓 40a~40i，這九個不同的參考電壓 40a~40i 分別為 0 伏特 (V) 至 4 伏特 (V) 間等分成八等份，間隔皆為 0.5V 的值（意即參考電壓 40a 為 0V，40b 為 0.5V，40c 為 1V，40d 為 1.5V，...，40h 為 3.5V，40i 為 4V），而六組位元電路 34~39 中的第一組位元電路 34 到第六組位元電路 39 係分別對應於數位電壓信號之第一位元到第六位元，且每一組位元電路包含複數個電晶體，例如，對應



五、發明說明 (8)

於數位電壓信號之第四位元到第六位元的第四組位元電路 37 到第六組位元電路 39，就分別包含有十六個 P 型金屬氧化半導體電晶體 (PMOS) 或 N 型金屬氧化半導體電晶體 (NMOS)，而對應於數位電壓信號之第一位元到第三位元的第一組位元電路 34 到第三組位元電路 36，亦分別包含有八個 P 型金屬氧化半導體電晶體或 N 型金屬氧化半導體電晶體。請注意，圖三之電阻串流數位類比轉換器 30 與圖一所示習知技術之電阻串流數位類比轉換器 10 最大的差異在於：依據上述的揭露，於圖三之電阻串流數位類比轉換器 30 中，只限定將對應於該數位電壓信號中的第一位元之第一組位元電路 34 置於最靠近輸出模組 42 之處，而數位電壓信號中之第一位元同時設定為該數位電壓信號之各個位元中變化量最少之位元。

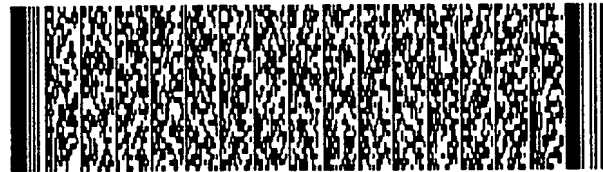
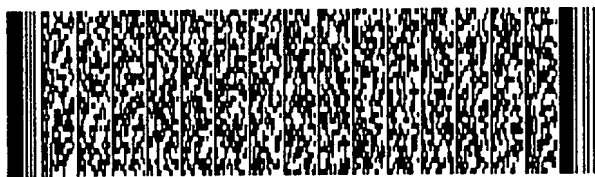
圖三可說明本發明之電阻串流式數位類比轉換器 30 將數位電壓信號轉換為類比電壓信號大致上的過程，當六位元之數位電壓信號由接收電路 32 進入電阻串流式數位類比轉換器 30，配合上參考電位電路 40 提供的九個不同的參考電壓 40a~40i，對應於數位電壓信號之第四位元到第六位元的第四組位元電路 37 到第六組位元電路 39 會先決定出兩組電壓值 DACN 以及 DACP (如圖三所示)，數位電壓信號之第四位元到第六位元與兩組電壓值 DACN、DACP 的對應情形請見圖四，圖四為圖三一實施例之列表。由圖四之實施例中可知，兩組電壓值 DACN，



五、發明說明 (9)

DACP之間會有 0.5V 的差距，因為 DACN 選取到參考電壓 40b~40i 的電壓值 (亦即 0.5V~4V)，而 DACP 是選取到參考電壓 40a~40h 的電壓值 (亦即 0V~3.5V)，如此再藉由電阻分壓，如圖三所示，每個緊鄰第三組位元電路的電阻會跨壓 $0.5V / 8 = 0.04V$ ，於是對應於數位電壓信號之第一位元到第三位元的第一組位元電路 34 到第三組位元電路 36 就會先決定出一條通路，並將電壓下傳至輸出模組 42，輸出模組 42 可輸出轉換完成之該類比電壓信號至一資料線，最後利用此類比電壓信號來控制一面板上之一像素中一組成原色的亮度強弱，和圖一之習知技術相同，本發明電阻串流數位類比轉換器 30 之輸出模組 42 亦包含有一負載電阻 44，用來作為阻抗匹配，為不可或缺的要件。

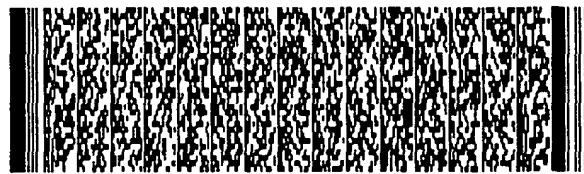
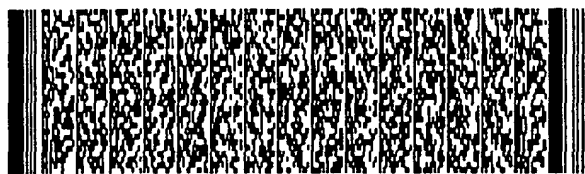
請繼續參閱圖三，在數位類比轉換器 30 中，最靠近於輸出模組 42 為對應於數位電壓信號各個位元中變化量最少的之第一位元的第一組位元電路 34，再者，在電阻串流式數位類比轉換器 30 中的每一組位元電路所包含的兩種電晶體間之組成及排列為特定且不可變更的設計，例如對應於數位電壓信號之第四位元的第四組位元電路 37 就包含有八個 P 型金屬氧化半導體電晶體及八個 N 型金屬氧化半導體電晶體，且兩種電晶體間的排列順序必須依照圖三所示，再以對應於數位電壓信號之第一位元至第三位元的第一組位元電路 34 至第三組位元電路 36 為



五、發明說明 (10)

例，三者皆包含有四個 P 型金屬氧化半導體電晶體及四個 N 型金屬氧化半導體電晶體，但第一組位元電路 34 至第三組位元電路 36 在兩種電晶體間的排列順序則截然不同。值得注意的是，圖三中分別觀察每一組位元電路所包含的兩種電晶體 (P 型金屬氧化半導體電晶體 (PMOS) 及 N 型金屬氧化半導體電晶體 (NMOS)) 之間的組成及排列，可將其對應於圖一習知技術之每一組位元電路。舉例而言，本發明之第一組位元電路所包含的兩種電晶體於圖三中由左而右的組成及排列為 NNNNPPPP，而圖一習知技術中之第一組位元電路所包含的兩種電晶體由左而右的組成及排列亦為 NNNNPPPP，換言之，本發明即是將圖一習知技術中之第一組位元電路與第三組位元電路的位置調換，將對應於該數位電壓信號中的第一位元，也就是該數位電壓信號之各個位元中變化量最少之位元，之第一組位元電路 34 置於最靠近輸出模組 42 之處。

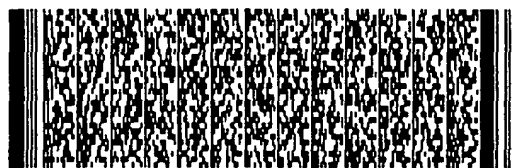
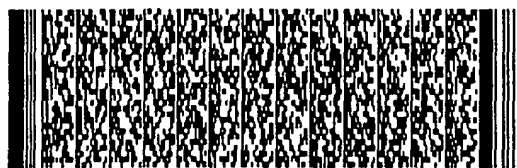
請參閱圖五，圖五為圖三本發明電阻串流數位類比轉換器 30 之輸出類比電壓信號的模擬圖，如圖三所示，橫軸為時間軸，而縱軸為輸出電壓值，隨時間而改變的類比電壓信號之電壓值出現的突波干擾遠較圖二習知技術之突波干擾來的小，最大的突波電壓只到 0.5 伏特左右，大幅的改善習知技術所出現的嚴重突波干擾，雖然圖二及圖五所顯示的突波都是模擬的結果，但目前產業界在產品真正開始量產前，都必須利用這些模擬過程對



五、發明說明 (11)

產品作品質分析，這些模擬過程所帶來的訊息也相當接近產品量產後的真實情況，再者，如前所述，在嚴密的分析和模擬後可知，突波的最主要來源就是輸出端的負載電阻，這個用來作為阻抗匹配的負載電阻，是習知及本發明之電阻串流數位類比轉換器所不可或缺，也無法變動的元件，也就是說，藉由本發明電阻串流數位類比轉換器的設計，將對應於輸入之數位電壓信號中的各個位元中變化量最少之位元的該組位元電路，置於最靠近輸出模組端之處，使得在無須增加其他的元件及電路的情況下，即可改善突波所為系統帶來不必要的功率的消耗，並減少凸波所為系統帶來不必要的功率的消耗。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知電阻串流式數位類比轉換器的電路示意圖。

圖二為圖一電阻串流數位類比轉換器之輸出類比電壓信號的模擬圖。

圖三為本發明電阻串流式數位類比轉換器的電路示意圖。

圖四為圖三一實施例之列表。

圖五為圖三電阻串流數位類比轉換器之輸出類比電壓信號的模擬圖。

圖式之符號說明

10、30	電阻串流式數位類比轉換器
12、32	接收電路
14、34	第一組位元電路
15、35	第二組位元電路
16、36	第三組位元電路
17、37	第四組位元電路
18、38	第五組位元電路
19、39	第六組位元電路
20、40	參考電位電路
22、42	輸出模組
24、44	負載電阻



六、申請專利範圍

1. 一種使用一數位類比轉換器 (digital to analog converter, DAC) 將一數位電壓信號轉換為一類比電壓信號並降低突波 (spike) 之方法，該數位類比轉換器包含複數組位元電路，其中每一組位元電路係分別對應於該數位電壓信號之各個位元，該方法包含有：

接收該數位電壓信號；

將對應於該數位電壓信號中的一特定位元之該位元電路靠近一輸出模組；以及

輸出一對應於該數位電壓信號之類比電壓信號。

其中該數位電壓信號中之該特定位元係為該數位電壓信號之各個位元中變化量最少之位元。

2. 如申請專利範圍第 1 項之方法，其中每一位組元電路包含複數個電晶體。

3. 如申請專利範圍第 1 項之方法，其中該數位類比轉換器係為一電阻串流數位類比轉換器 (R-string DAC)。

4. 如申請專利範圍第 1 項之方法，其中該數位類比轉換器之輸出模組係包含有一負載電阻，用來作為阻抗匹配。

5. 一種數位類比轉換器 (digital to analog converter, DAC)，用來將一數位電壓信號轉換為一類比



六、申請專利範圍

電壓信號，該數位類比轉換器包含有：

一接收電路，用來接收該數位電壓信號；

複數組位元電路，連接於該接收電路，用來轉換該數位電壓信號成為對應於該數位電壓信號之類比電壓信號，每一組位元電路係對應於該數位電壓信號中之一位元；以及

一輸出模組，連接於該複數組位元電路中之變化量最少之一組位元電路，用來輸出轉換完成之該類比電壓信號，該輸出模組包含有一負載電阻，用來作為阻抗匹配。

6. 如申請專利範圍第5項之數位類比轉換器，其中每一組位元電路包含複數個電晶體。

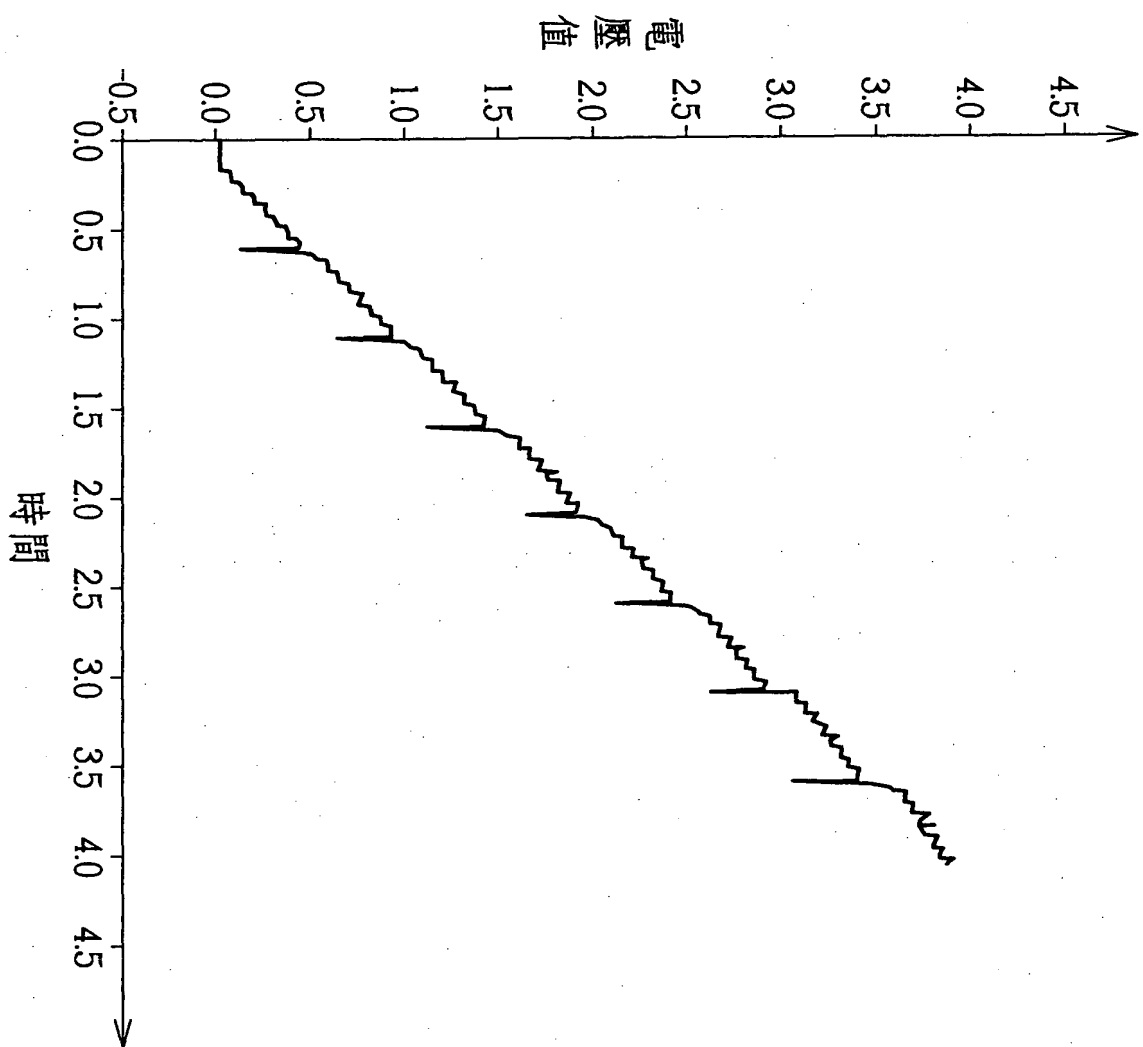
7. 如申請專利範圍第5項之數位類比轉換器，其係為一電阻串流數位類比轉換器(R-string DAC)。

8. 如申請專利範圍第5項之數位類比轉換器，其另包含一參考電位電路，其係電連於該複數組位元電路，用來提供參考電壓予該複數組位元電路。

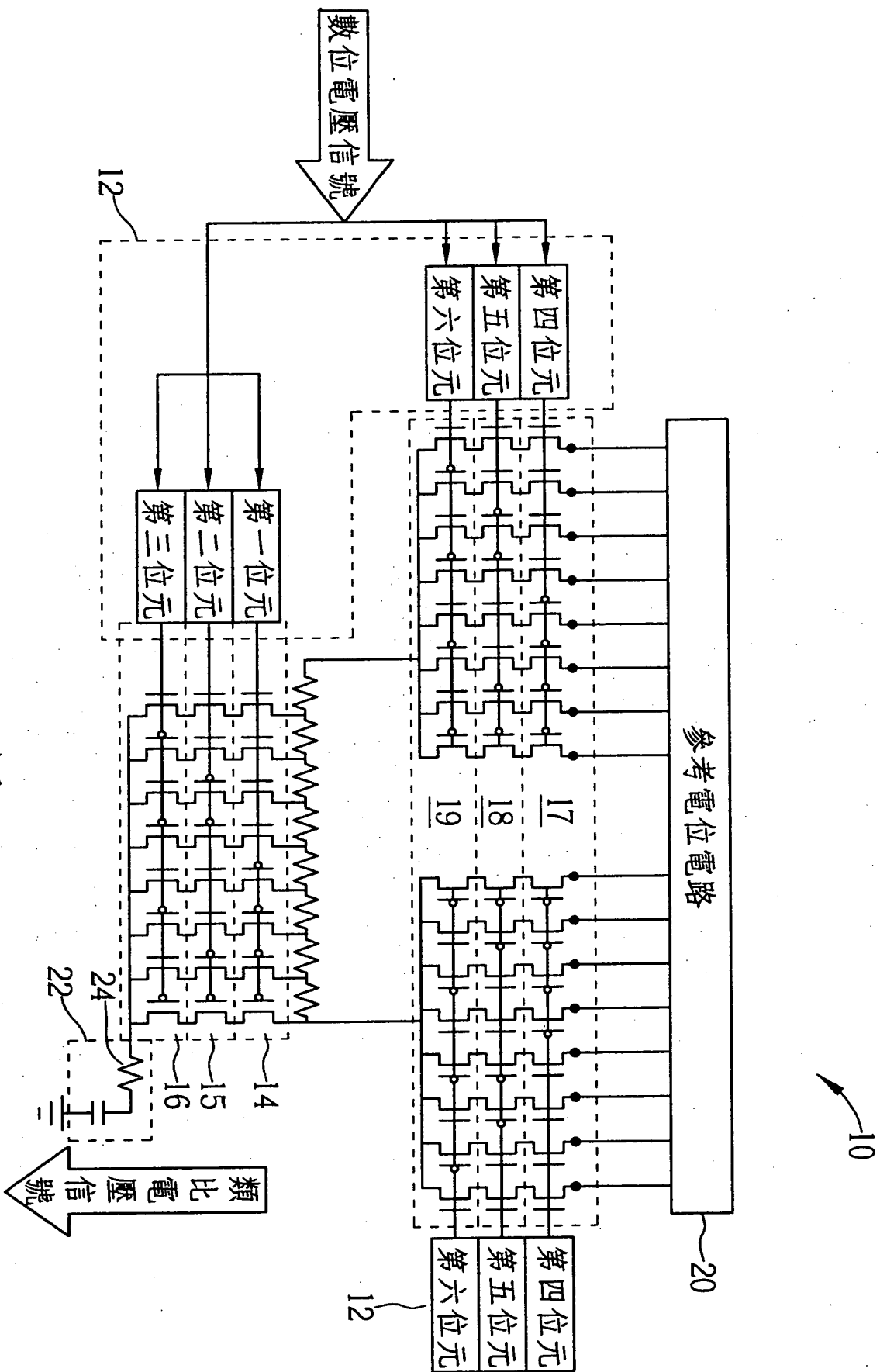


第四位元	第五位元	第六位元	DACP	DACN
0	0	0	0.5V	0V
0	0	1	1V	0.5V
0	1	0	1.5V	1V
	∴		∴	∴
1	0	1	3.5V	3V
1	1	1	4V	3.5V

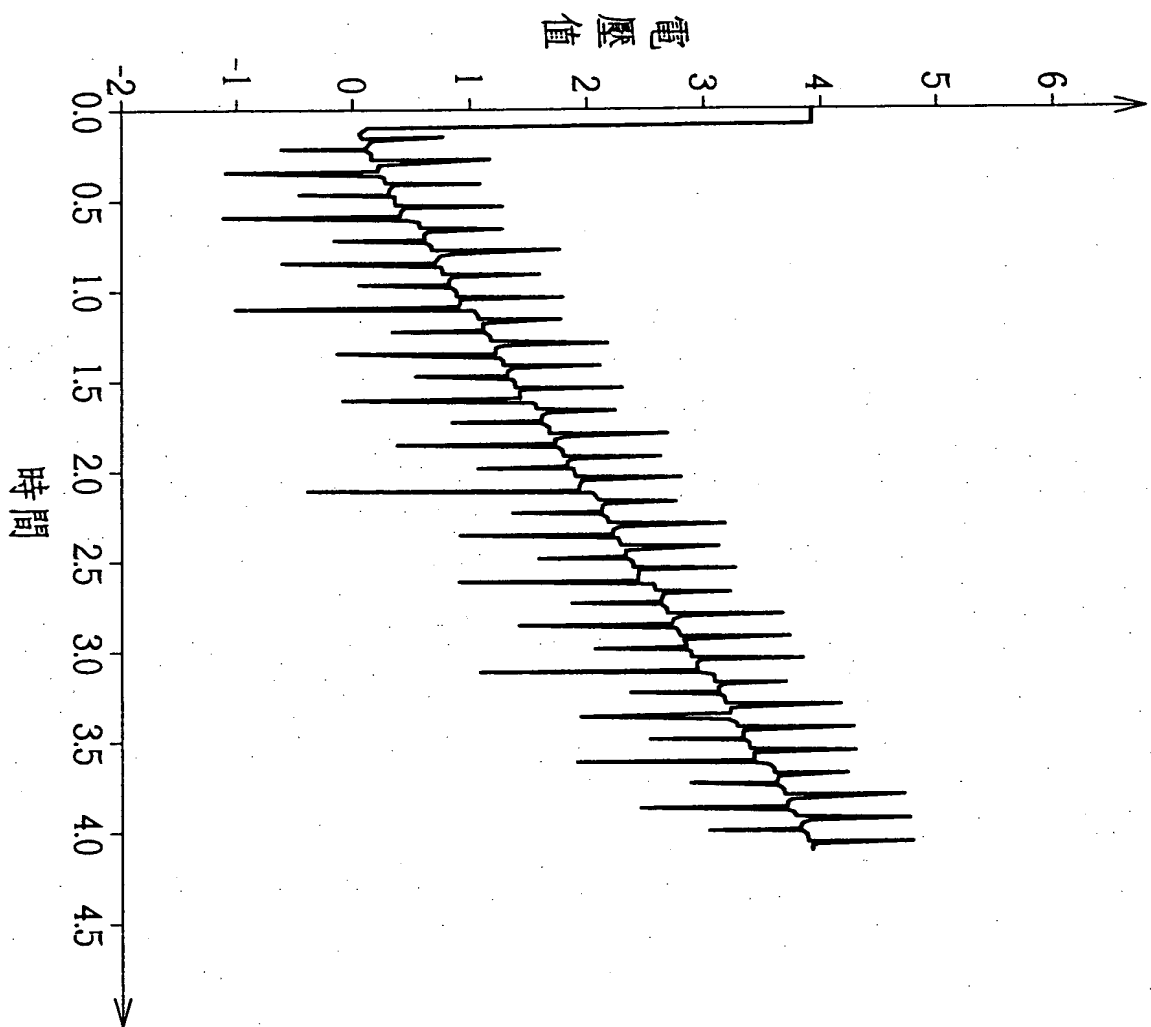
圖四



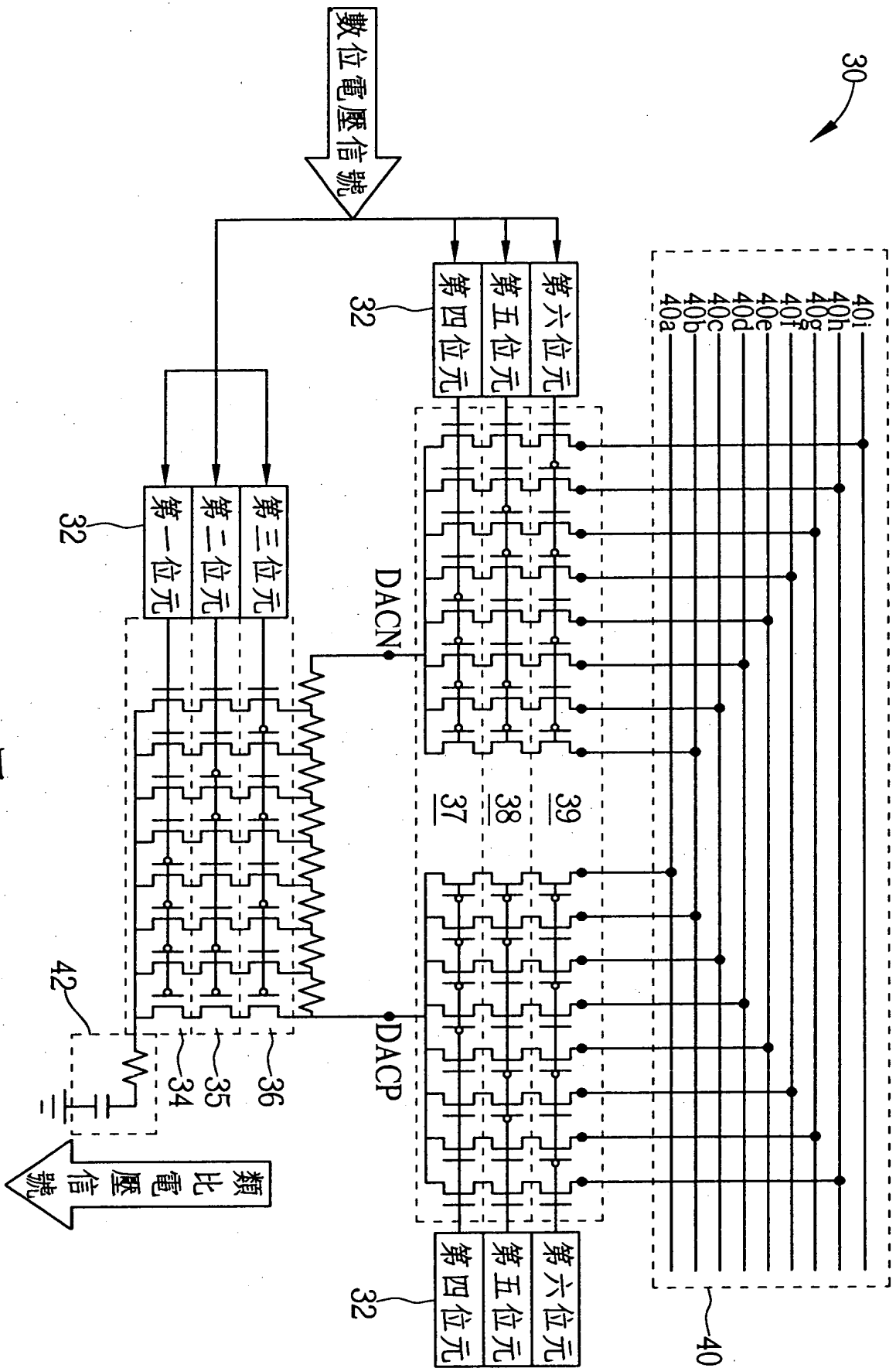
圖五



圖一

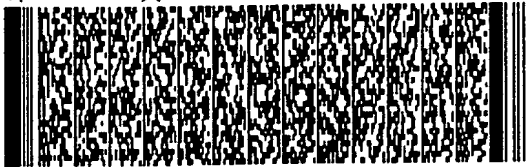


圖二

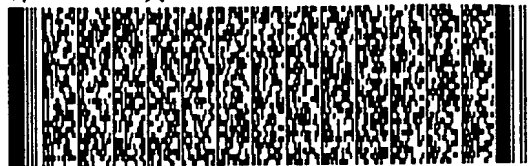


圖三

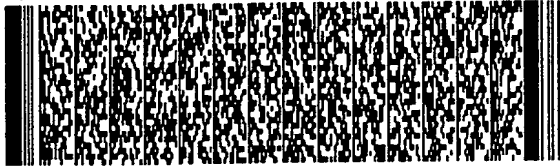
第 1/18 頁



第 1/18 頁



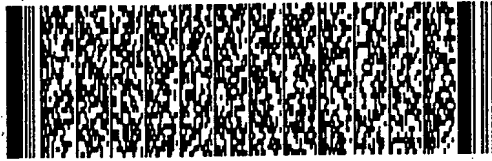
第 2/18 頁



第 2/18 頁



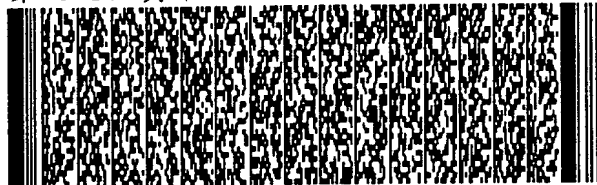
第 3/18 頁



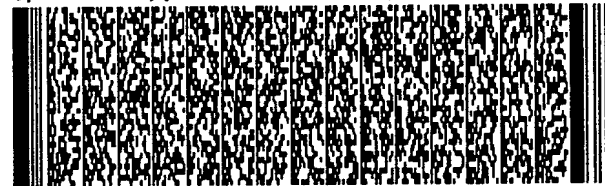
第 4/18 頁



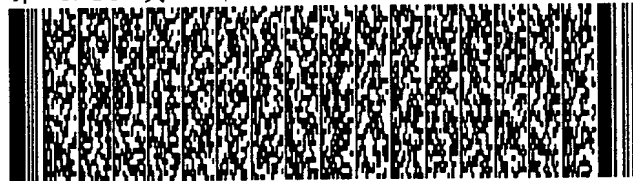
第 5/18 頁



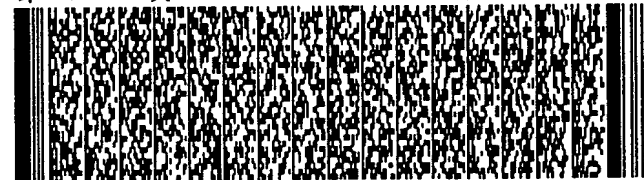
第 5/18 頁



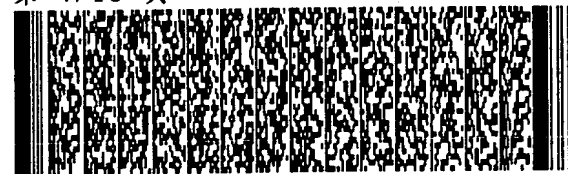
第 6/18 頁



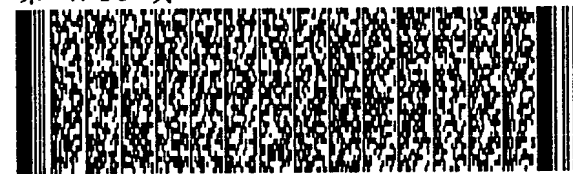
第 6/18 頁



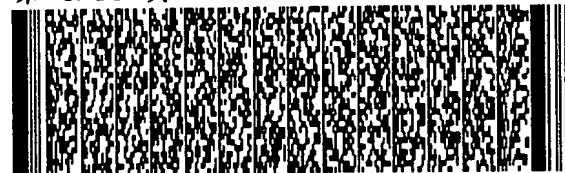
第 7/18 頁



第 7/18 頁



第 8/18 頁



第 8/18 頁



第 9/18 頁



第 9/18 頁



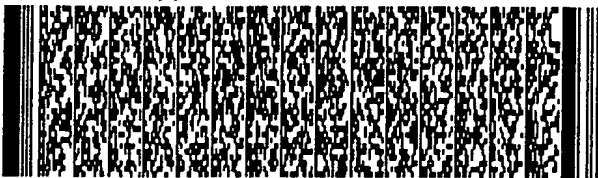
第 10/18 頁



第 10/18 頁



第 11/18 頁



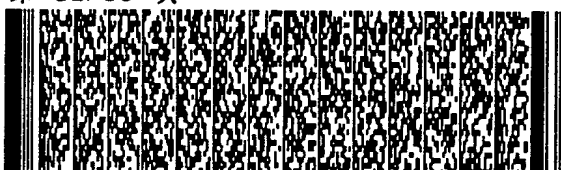
第 11/18 頁



第 12/18 頁



第 12/18 頁



第 13/18 頁



第 13/18 頁



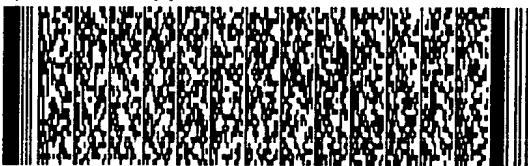
第 14/18 頁



第 14/18 頁



第 15/18 頁



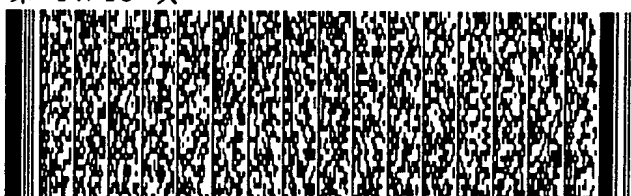
第 15/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

